

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
22 mai 2003 (22.05.2003)

PCT

(10) Numéro de publication internationale  
**WO 03/042741 A2**

(51) Classification internationale des brevets<sup>7</sup> : G02B 6/43,  
H01L 23/52

(21) Numéro de la demande internationale :  
PCT/FR02/03880

(22) Date de dépôt international :  
13 novembre 2002 (13.11.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :  
01/14784 15 novembre 2001 (15.11.2001) FR

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) :  
**BELLEVILLE, Marc** [FR/FR]; 12, rue de Chante-  
merle, F-38120 Saint-Egrève (FR). **HADJI, Emmanuel**  
[FR/FR]; 9, impasse des Primevères, F-38600 Fontaine  
(FR). **ASPAR, Bernard** [FR/FR]; 110, Lot. du Hameau  
des Ayes, F-38140 Rives (FR).

(74) Mandataire : **LEHU, Jean**; c/o Brevatome, 3, rue du Doc-  
teur Lancereaux, F-75008 Paris (FR).

(81) État désigné (national) : US.

(84) États désignés (régional) : brevet européen (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU,  
MC, NL, PT, SE, SK, TR).

(71) Déposant (pour tous les États désignés sauf US) : COM-  
MISSARIAT À L'ENERGIE ATOMIQUE [FR/FR];  
31/33, rue de la Fédération, F-75752 PARIS (FR).

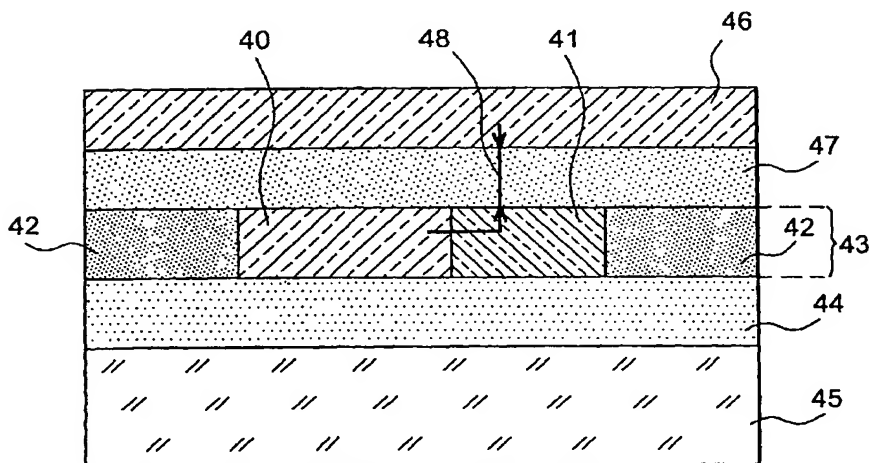
Publiée :

— sans rapport de recherche internationale, sera republiée  
dès réception de ce rapport

[Suite sur la page suivante]

(54) Title: MULTILAYER MONOLITHIC ELECTRONIC DEVICE AND METHOD FOR MAKING SAME

(54) Titre : DISPOSITIF ELECTRONIQUE MONOLITHIQUE MULTICOUCHES ET PROCEDE DE REALISATION D'UN  
TEL DISPOSITIF



(57) Abstract: The invention concerns a multilayer monolithic electronic device comprising at least a first layer (46) for carrying an electrical information arranged above at least a second layer (43) for carrying an optical information and electrical and/or optical connecting means.

(57) Abrégé : L'invention concerne un dispositif électronique monolithique multicouches comprenant au moins une première couche (46) apte à véhiculer une information sous forme électrique disposée au-dessus d'au moins une seconde couche (43) apte à véhiculer une information sous forme optique et des moyens de connexion électriques et/ou optiques.



WO 03/042741 A2



---

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

**DISPOSITIF ELECTRONIQUE MONOLITHIQUE MULTICOUCHES ET  
PROCEDE DE REALISATION D'UN TEL DISPOSITIF**

**DESCRIPTION**

**5    DOMAINE TECHNIQUE**

La présente invention concerne un dispositif électronique monolithique multicouches, et un procédé de réalisation d'un tel dispositif.

**ETAT DE LA TECHNIQUE ANTERIEURE**

10            Dans les dispositifs électroniques monolithique multicouches, qui constituent aujourd'hui les circuits intégrés, les interconnexions sont un frein à l'augmentation des performances de ceux-ci.

Les évolutions technologiques en cours  
15 visent à diminuer le plus possible le retard des signaux véhiculés dans ces interconnexions et à minimiser la puissance dissipée dans celles-ci. Ainsi dans les interconnexions, le cuivre, dont la résistivité est plus faible que l'aluminium, est en  
20 train de remplacer celui-ci. De même des isolants à faible constante diélectrique sont introduits en remplacement des oxydes de silicium traditionnels. Mais le gain apporté par de telles évolutions reste limité.

Parallèlement à ces évolutions, les  
25 prévisions relatives aux fréquences de fonctionnement des futurs circuits intégrés ne cessent de croître : 10 GHz sont annoncés à court terme pour les horloges.

Pour réaliser des interconnexions rapides de relativement grande distance dans de tels futurs  
30 circuits intégrés, comme décrit dans le document

référéncé [1] en fin de description, on envisage d'utiliser des interconnexions optiques, par exemple dans des structures basées sur des substrats SOI ("Silicon-on-insulator"). Actuellement deux voies de recherche sont suivies : réaliser les interconnexions optiques en fin de fabrication de circuit, au-dessus de couches métalliques, ou bien réaliser les guides optiques dans le silicium, à côté des transistors. La première solution présente l'inconvénient d'encombrer les niveaux supérieurs d'interconnexions et donc de rendre plus difficile une amenée de puissance dans le circuit. La deuxième solution, dans le cas d'un nombre élevé d'interconnexions optiques, dégrade très fortement la densité d'intégration du circuit.

L'invention a pour objet de pallier ces inconvénients des solutions de l'art connu.

#### EXPOSÉ DE L'INVENTION

La présente invention concerne un dispositif électronique monolithique multicouches comprenant des moyens de connexion entre au moins deux couches, caractérisé en ce qu'il comporte au moins une première couche apte à véhiculer une information sous forme électrique disposée au-dessus d'au moins une seconde couche apte à véhiculer une information sous forme optique et en ce que les moyens de connexion sont des moyens électriques et/ou optiques.

La première couche apte à véhiculer une information sous forme électrique comprend au moins un composant électronique, et la seconde couche apte à véhiculer une information optique comprend au moins un guide optique. L'une des couches peut être en un

matériau choisi parmi le Si, AsGa, InP et leurs alliages. Chaque guide optique est une zone homogène de fort indice comprise entre des zones de plus faible indice. Le dispositif peut comprendre des motifs  
5 assurant des fonctions de types piliers mécaniques ou scellements, et garantissant une surface apte à réaliser le report des couches supérieures. Les espaces entre les motifs en silicium et/ou autour du guide optique sont remplis d'air, de vide, de gaz inerte, ou  
10 de matériau de faible indice optique. Chaque guide optique peut être un guide basé sur une structure à bande photonique interdite qui est remplie d'air, de vide, de gaz inerte, ou de matériau d'indice optique inférieur à celui du matériau guidant la lumière.

15 Dans un mode de réalisation, la seconde couche apte à véhiculer une information optique comprend des moyens de couplage, et la première couche apte à véhiculer une information électrique comprend au moins un élément optique actif, les moyens de couplage  
20 permettant le couplage entre au moins un guide optique et au moins un élément optique actif. Les moyens de couplage peuvent être un coupleur par réflexion, ou un coupleur par diffraction. La seconde couche peut comprendre au moins un élément optique actif et les  
25 moyens de connexion peuvent être des moyens électriques entre cet élément et la première couche.

Avantageusement, le dispositif de l'invention comporte des entrées/sorties optiques.

30 La solution préconisée par le dispositif de l'invention, contrairement aux dispositifs de l'art

connu dans lesquels on connaît soit des connexions électriques, soit des connexions optiques qui peuvent se juxtaposer sur un même circuit ou se superposer dans des circuits distincts assemblés, consiste ainsi dans  
5 un circuit électronique à déporter une partie des connexions électriques dans une autre couche enterrée et à les transformer en connexions optiques. Une telle solution permet d'alléger les connexions de surface et d'améliorer les performances en passant par le domaine  
10 optique.

La présente invention concerne également un procédé de réalisation d'un dispositif électronique monolithique multicouches, caractérisé en ce qu'il comporte les étapes suivantes :

- 15 - réalisation d'au moins un guide optique dans une première couche,
- assemblage du substrat en silicium ainsi recouvert avec une seconde couche,
- réalisation des composants électroniques  
20 dans la seconde couche.

L'assemblage peut être réalisé par adhésion moléculaire.

Le procédé peut comprendre en outre une étape de fabrication d'au moins un élément optique  
25 actif et/ou des moyens de couplage optique dans la première couche.

Le procédé peut comporter en outre une étape de fabrication d'au moins un élément optique actif dans la seconde couche ; la zone à fort indice du  
30 guide optique pouvant être obtenue par gravure ; la zone à faible indice du guide optique pouvant être

obtenue par oxydation ; l'écart des indices optiques du guide optique pouvant être obtenu par dopage.

On peut également reporter un composant optique actif dans une cavité d'accueil.

5 Les couches peuvent être des couches SOI reportées sur un substrat en silicium.

#### BRÈVE DESCRIPTION DES DESSINS

Les figures 1, 2 et 3 illustrent des guides optiques qui peuvent être utilisés dans le dispositif de l'invention après leur réalisation dans une première  
10 couche SOI et avant le report d'une seconde couche SOI supérieure, soit respectivement des guides en silicium monocristallin entourés d'un isolant  $\text{SiO}_2$ , des guides en silicium monocristallin gravés, et des guides en  
15 silicium monocristallin basés sur des structures à bande photonique interdite.

Les figures 4, 5 et 6 illustrent le dispositif de l'invention dans lequel des moyens de couplage optique sont réalisés dans la première couche  
20 SOI, respectivement à l'aide d'un coupleur quelconque, à l'aide d'un coupleur à réflexion, et à l'aide d'un coupleur à réseau de Bragg.

Les figures 7, 8, 9, 10 et 11 sont une présentation de différentes coupes technologiques du dispositif de l'invention, avec respectivement un  
25 élément optique actif réalisé dans la première couche SOI, un élément optique actif réalisé dans la seconde couche SOI à côté des dispositifs électroniques, un élément optique actif réalisé indépendamment puis  
30 reporté dans une cavité, un coupleur disposé dans la couche optique et un élément optique actif reporté dans

une cavité réalisée à la fois dans la couche électrique et dans la couche inférieure, et un coupleur disposé dans la couche optique et un élément optique actif reporté dans une cavité réalisée dans la couche  
5 supérieure à la couche électrique.

#### EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

L'invention concerne un dispositif électronique monolithique multicouches, qui comporte un  
10 circuit électronique formé d'au moins une couche apte à véhiculer une information sous forme électrique disposée au-dessus d'un circuit optique formé d'au moins une couche apte à véhiculer une information sous forme optique, et des moyens de connexions électriques  
15 et/ou optiques entre ces deux circuits.

Le circuit optique est situé en dessous du circuit électronique, car ce dernier se termine obligatoirement par une couche électrique permettant d'amener la puissance électrique.

20 Le procédé de réalisation d'un tel dispositif consiste à réaliser des guides optiques, qui peuvent être de tout type, dans une première couche. Cette couche peut également contenir des sources, des détecteurs, des amplificateurs, des modulateurs, des  
25 filtres, des aiguilleurs... dénommés dans la description "éléments optiques actifs", ou encore des moyens de couplage optiques.

Les sources de lumière sont par exemple des diodes électroluminescentes ou des lasers,... Les  
30 détecteurs peuvent être par exemple des photodiodes, des photoconducteurs, des phototransistors ... Ces



éléments peuvent être de plus améliorés par des structures à bande photonique interdite. Par exemple, la présence de miroirs autour d'une photodiode renforce l'absorption de la lumière par un effet de résonance.

5 L'ensemble ainsi réalisé est ensuite assemblé, par adhésion moléculaire par exemple, avec un deuxième couche. Cette étape d'adhésion moléculaire peut éventuellement être précédée d'une étape de préparation des surfaces.

10 On obtient alors un ensemble de type "multicouches", dans lequel les guides optiques sont inclus dans la couche inférieure, et les composants électroniques traditionnels (MOS, bipolaires...) sont réalisés dans la couche supérieure.

15 Les éléments optiques actifs peuvent selon les cas être réalisés dans la couche supérieure, ou dans la couche inférieure en utilisant une technologie compatible avec la nature des couches utilisées. Par exemple dans le cas d'un substrat silicium, on utilise  
20 des couches SOI et les éléments optiques actifs sont en Si, SiGe, Si dopé erbium, ou encore des nanocristaux de silicium.

Dans le cas où les éléments optiques actifs ne sont pas réalisés dans la couche inférieure, et si  
25 la lumière a une direction différente de celle du plan des couches, on utilise des moyens de couplage réalisés dans la couche inférieure pour coupler la lumière entre les guides optiques et les éléments optiques actifs. On peut également, lorsque l'on ne sait pas intégrer les  
30 éléments optiques actifs dans les couches supérieures ou inférieures, réaliser dans les couches supérieures

ou inférieures une cavité d'accueil dans laquelle un tel composant peut être reporté. Un tel report est également possible au-dessus de la couche supérieure.

De tels reports permettent d'associer des  
5 éléments optiques actifs réalisés dans une technologie différente de celle du substrat par exemple avec des composés III-V ou II-VI.

Différentes techniques de report sont  
possibles : par exemple par vignetage ou ajout d'une  
10 partie de couche, ou par adhésion moléculaire.

Le dispositif de l'invention comporte des entrées-sorties optiques pour l'ensemble ainsi réalisé. Ces entrées/sorties peuvent être de type latéral ou de type vertical, par exemple par couplage avec une fibre  
15 optique, ou par couplage via une micro-lentille. On peut également prévoir un auto-alignement des fibres en utilisant, par exemple, des rainures en forme de V ("V-groove").

D'autre part, les couches électrique et  
20 optique ne sont pas nécessairement en contact direct : des couches intermédiaires peuvent s'interposer entre les deux couches pour supporter des fonctions par exemple d'isolation optique et/ou électrique. Elles seront alors traversées par les moyens de connexion.

25

On va à présent considérer, à titre d'exemples, différents modes de réalisation permettant de mettre en évidence les caractéristiques du dispositif de l'invention.

30

Guides optiques réalisés dans la couche SOI inférieure

Les figures 1, 2 et 3 présentent les guides optiques après leur réalisation et avant le report de la couche supérieure.

5                La figure 1 illustre un guide 10 en silicium monocristallin entouré de deux zones d'isolant 11 en  $\text{SiO}_2$ , disposés sur une couche 12 d'isolant en  $\text{SiO}_2$ , et un substrat 13 en silicium.

10                La lumière se propage dans le guide 10 perpendiculairement au plan de la coupe. Une préparation de la surface supérieure, avec éventuellement des étapes de dépôt et/ou de polissage peut être nécessaire pour permettre le report par adhésion moléculaire de la couche SOI supérieure 14.

15                L'isolant  $\text{SiO}_2$  peut être remplacé totalement, ou localement, par tout matériau d'indice optique différent de celui du silicium et compatible avec les procédés de fabrication utilisés.

20                La figure 2 illustre un guide 20 et des motifs 21 en silicium monocristallin obtenus après gravure dans une couche de silicium monocristallin disposée sur une couche 22 de  $\text{SiO}_2$  et un substrat 23 en silicium.

25                La lumière se propage dans le guide 20 perpendiculairement au plan de la coupe.

30                Les motifs 21 assurent des fonctions du type piliers mécaniques, ou scellement, et garantissent une surface apte à réaliser un report de la couche SOI supérieure 24. Cette couche 24 peut ainsi être reportée sur une couche dite "structurée". Les espaces 25 entre ces motifs 21 et le guide 20 sont remplis d'air, de

vide, de gaz inerte ou de matériau de faible indice optique comme  $\text{SiO}_2$  ou un polymère. Ces motifs 21 sont directement liés au procédé de report et ne sont pas toujours indispensables.

5 La figure 3 illustre un guide en silicium monocristallin 30 basé sur des structures à Bande Photonique Interdite (BIP).

Sur cette figure 3 on retrouve les éléments illustrés sur la figure 2, si ce n'est que le guide 20  
10 a été défini par des structures BIP 30 remplies d'air, de vide, de gaz inerte ou de matériau de faible indice optique.

La couche SOI 24 peut là aussi être reportée sur une couche structurée.

15 D'autres matériaux peuvent être utilisés comme les matériaux III-V (AsGa, InP...)

#### Moyens de couplage optique réalisés dans la couche SOI inférieure

20 La figure 4 illustre un guide en silicium monocristallin 40 associé à un coupleur 41, entourés de deux zones d'isolant  $\text{SiO}_2$  42 formant une couche optique 43 au-dessus d'une couche d'isolant 44 et d'un substrat en silicium 45. Une couche électrique 46 en silicium  
25 monocristallin est disposée au-dessus d'une couche 47 d'isolant  $\text{SiO}_2$  et de la couche optique 43.

La lumière 48 se propage dans le guide optique 40 réalisé dans la couche optique 43, parallèlement au plan de la coupe. Cette lumière 48 est  
30 couplée entre le guide 40 et un élément source/détecteur, non représenté, situé dans la couche

supérieure par un coupleur 41. Ce coupleur est de type horizontal/vertical. Tous les matériaux et interfaces rencontrés sur le chemin lumineux doivent garantir une bonne propagation de la lumière 48.

5                   Le coupleur peut être de différents types : par exemple un coupleur par réflexion 50, comme illustré sur la figure 5. Ce coupleur 50 peut alors être réalisé en silicium, avec éventuellement un traitement de surface.

10                   Le coupleur peut être un coupleur par réseau de Bragg 60, comme illustré sur la figure 6. Ce coupleur 60 est basé sur une structure périodique diffractante. L'usage d'un réseau comme décrit dans le document référencé [2], ou plus généralement d'une  
15 structure diffractante (par exemple un réseau de trous) permet alors de rediriger la lumière guidée dans le plan de la couche optique 43 vers la direction verticale (et inversement d'une direction hors du plan vers l'axe des guides).

20                   Le document référencé [2] a, en effet, pour objet un couplage de lumière haute efficacité dans un guide SOI sous-micrométrique. Un couplage de lumière entre un guide d'onde d'épaisseur sous-micrométrique étant d'habitude réalisée en utilisant un coupleur à  
25 réseau, ce document envisage d'améliorer l'efficacité en disposant un miroir au-dessus du réseau.

Présentation de différentes coupes technologiques possibles

La figure 7 illustre un mode de réalisation dans lequel le guide 70, les éléments optiques actifs 5 71 sont réalisés dans la couche optique 73.

Le guide 70 associé à un élément optique actif 71, situé entre deux zones d'isolant 72 de SiO<sub>2</sub>, constituant ainsi la couche optique 73, sont disposés au-dessus d'une couche 74 d'isolant SiO<sub>2</sub> et d'un 10 substrat 75 en silicium.

La couche électrique 76 constituée d'un élément MOS 77 entouré de deux zones 78 en isolant SiO<sub>2</sub> est disposée entre une couche supérieure 79 en isolant et une couche inférieure 80 en isolant, cette couche 15 inférieure 80 étant disposée au-dessus de la couche optique 73. Un pavé métallique 81 disposé au-dessus de la couche supérieure en isolant 79 est relié par des connexions métalliques verticales 82 et 83 d'une part au composant MOS 77, et d'autre part à l'élément 20 optique actif 71.

Toutes ces couches ont des épaisseurs comprises entre 0,1 et 1 µm.

Les guides 70, éléments optiques actifs 71 sont ainsi réalisés dans la première couche SOI. Les 25 technologies utilisées sont compatibles avec la suite du procédé de l'invention : c'est-à-dire des étapes de report de la deuxième couche SOI, de fabrication des composants électroniques dans la couche SOI supérieure et des interconnexions.

30 Après préparation des surfaces (dépôt éventuel, polissage éventuel ...) de cette première

couche SOI, la deuxième couche SOI est reportée sur celle-ci par adhésion moléculaire, par exemple en utilisant un procédé de type "Smart Cut". Suivant la nature des composants optiques utilisés, ce report peut  
5 être réalisé sur une première couche SOI structurée. Les dispositifs électroniques sont ensuite réalisés en utilisant les procédés technologiques classiques d'une technologie SOI : Cmos sur SOI par exemple.

Les composants électroniques ainsi que les  
10 éléments optiques actifs sont ensuite reliés aux niveaux d'interconnexions (premier métal, ou niveau d'interconnexions localisées). Selon la qualité des procédés de gravure utilisés, un niveau de lithographie supplémentaire peut être nécessaire pour réaliser les  
15 contacts vers les éléments optiques actifs, qui se trouvent en effet à une profondeur plus importante que les composants électroniques.

Les différents niveaux d'interconnexions sont ensuite réalisés avec des procédés  
20 microélectroniques standards bien connus de l'homme de métier, correspondant à la génération technologique utilisée.

La figure 8 illustre un mode de réalisation dans lequel les éléments optiques actifs 71 sont  
25 réalisés dans la couche électrique supérieure 76 à côté des dispositifs électroniques.

Dans ce mode de réalisation on retrouve les mêmes éléments que sur la figure 7, si ce n'est que l'élément optique actif 71 est déplacé sur la couche  
30 électrique 76, et est remplacé sur la couche optique par un coupleur 84. Une liaison optique 85 permet de

relier le guide 70 à l'élément optique actif 71 au travers du coupleur 84.

Les guides 70 et les coupleurs optiques 84 sont réalisés dans la première couche SOI. Les technologies utilisées sont, là aussi, compatibles avec la suite du procédé : report de la deuxième couche SOI, fabrication des composants électriques, des éléments optiques actifs dans la couche supérieure et des interconnexions.

Après préparation des surfaces, par dépôt éventuel, polissage éventuel... la deuxième couche SOI est reportée sur la première couche SOI par adhésion moléculaire, par exemple par un procédé de type "Smart Cut". Suivant la nature des composants optiques, ce report peut éventuellement être effectué sur une couche structurée.

Les composants électroniques 77 sont ensuite réalisés en utilisant les procédés technologiques classiques d'une technologie SOI (Cmos sur SOI par exemple). Les éléments optiques actifs 71 sont également réalisés dans cette couche SOI supérieure. L'ordre de réalisation des éléments optiques actifs 71 et des composants électroniques 77 dépend de l'optimisation des procédés technologiques utilisés.

Les interfaces entre les différentes couches sont optimisés pour que le transfert optique entre coupleur 84 et élément optique actif 71 soit de bonne qualité.

Les composants électroniques 77 ainsi que les éléments optiques actifs 71 sont ensuite reliés aux



niveaux d'interconnexions (premier métal, ou niveau d'interconnexions localisées). Selon la qualité des procédés de gravure utilisés, un niveau de lithographie supplémentaire peut être nécessaire pour réaliser les contacts vers les éléments optiques actifs 71.

Tous les niveaux d'interconnexions sont ensuite réalisés avec les procédés micro-électroniques standards, correspondant à la génération technologique utilisée.

La figure 9 illustre un mode de réalisation dans lequel les éléments optiques actifs sont réalisés indépendamment puis reportés.

Les éléments illustrés sur cette figure 9 sont les mêmes que ceux illustrés sur la figure 8 si ce n'est l'élément optique actif 91 qui est reporté dans une cavité 92 qui s'étend entre la couche optique 73 et la couche électrique 76.

Le moment d'insertion de ces étapes de réalisation de la cavité 92 et du report de l'élément optique actif est optimisé en fonction de l'épaisseur des éléments optiques actifs à reporter : dans la première couche SOI pour des éléments très minces, ou au milieu des niveaux d'interconnexions pour des éléments plus épais, l'objectif étant de conserver un état technologique le plus planarisé possible après ces étapes. Toutes les variantes de profondeur de cavité sont possibles (de 0 à une cavité pénétrant dans le substrat inférieur).

Une fois les cavités 92 réalisées, on reporte dans celle-ci des éléments opto-électroniques 91 réalisés indépendamment et de nature éventuellement

différente du silicium (AsGa, InAs, InAsP, InGaAsP,... par exemple). Ce report peut être réalisé par des techniques de vignetage ou d'adhésion moléculaire.

Les composants électroniques 77 ainsi que  
5 les éléments optiques actifs 91 sont ensuite reliés aux niveaux d'interconnexions (premier métal, ou niveau d'interconnexions localisées). Selon la qualité des procédés de gravure utilisés, un niveau de lithographie supplémentaire peut être nécessaire pour réaliser les  
10 contacts vers les éléments optiques actifs 91. Par ailleurs, les contacts sur les éléments optiques ne sont pas nécessairement réalisés de la même manière que les contacts sur les éléments électriques.

Tous les niveaux d'interconnexions sont  
15 ensuite réalisés avec les procédés micro-électroniques standards, correspondant à la génération technologique utilisée.

Dans le cas illustré sur la figure 9, les éléments 91 rapportés émettent naturellement dans le  
20 plan des guides, et il suffit de les aligner correctement avec ceux-ci (cas des anneaux ou micro disques par exemple).

Si l'élément optique actif émet dans une direction différente, il convient d'utiliser des moyens  
25 de couplage de la lumière 93 tels que ceux définis précédemment. Ceux-ci sont alors intégrés dans la couche optique 73. L'élément optique actif 91 peut alors être disposé dans une cavité 92 formée à la fois dans la couche électrique 76 et dans la couche  
30 inférieure 80 à celle-ci comme illustré sur la figure

10, ou dans la couche supérieure 79 à la couche électrique 76 comme illustré sur la figure 11.

Toutes les combinaisons possibles entre les  
5 différents modes de réalisation décrits ci-dessus sont possibles, un élément source optique pouvant correspondre à un mode, un élément détecteur optique pouvant correspondre à un autre mode.

D'autres matériaux que ceux considérés ci-  
10 dessus sont utilisables, ainsi :

- dans la couche optique il suffit d'une  
paire de matériaux indice fort/indice faible pour  
réaliser un guide. On peut ainsi utiliser des matériaux  
semi-conducteurs : Si/SiO<sub>2</sub>, Si/Si<sub>3</sub>N<sub>4</sub>, InP/GaInP,  
15 GaAs/Ga/AlAs,

- dans la couche électrique d'autres semi-  
conducteurs sont utilisables tel que SiGe.

## REFERENCES

- [1] "Optoelectronic interconnects for integrated circuits Achievements 1996-2000" de Henk Neefs.  
5 (Advanced research initiative in microelectronics, MEL-ARI OPTO, CEE, juin 2000, pages 2-8)
- [2] "High-efficiency light coupling in a submicrometric silicon-on-insulator waveguide" de Régis Orobitchouk,  
10 Abdelhalim Layadi, Hamid Gualous, Daniel Pascal, Alain Koster et Suzanne Laval (Applied Optics, 1.11.2000, volume 39, N° 31, pages 5773-5777).

## REVENDICATIONS

1. Dispositif électronique monolithique multicouches comprenant des moyens de connexion entre  
5 au moins deux couches, caractérisé en ce qu'il comporte au moins une première couche (46) apte à véhiculer une information sous forme électrique disposée au-dessus d'au moins une seconde couche (43) apte à véhiculer une information sous forme optique et en ce que les moyens  
10 de connexion sont des moyens électriques et/ou optiques.

2. Dispositif selon la revendication 1, dans lequel la première couche (46) apte à véhiculer  
15 une information sous forme électrique comprend au moins un composant électronique, et la seconde couche (43) apte à véhiculer une information optique comprend au moins un guide optique (40).

20 3. Dispositif selon la revendication 1, dans lequel l'une des couches est en un matériau choisi parmi le Si, AsGa, InP et leurs alliages.

4. Dispositif selon l'une des  
25 revendications 2 ou 3, dans lequel chaque guide optique (20) est une zone homogène de fort indice comprise entre des zones de plus faible indice.

5. Dispositif selon la revendication 1  
30 comprenant des motifs (21) assurant des fonctions du type piliers mécaniques ou scellements, et garantissant

une surface apte à réaliser le report des couches supérieures (24).

5           6. Dispositif selon l'une quelconque des revendications précédentes, dans lequel les espaces entre les motifs (21) et/ou autour du guide optique (20) sont remplis d'air, de vide, de gaz inerte, ou de matériau de faible indice optique.

10           7. Dispositif selon la revendication 2, dans lequel chaque guide optique est un guide (30) basé sur une structure à bande photonique interdite qui est remplie d'air, de vide, de gaz inerte, ou de matériau d'indice optique inférieur à celui du matériau guidant  
15 la lumière.

          8. Dispositif selon la revendication 1, dans lequel la seconde couche (43) apte à véhiculer une information optique comprend des moyens de couplage  
20 (41), et la première couche (46) apte à véhiculer une information électrique comprend au moins un élément optique actif, les moyens de couplage (41) permettant le couplage entre au moins un guide optique (40) et au moins un élément optique actif.

25

          9. Dispositif selon la revendication 8, dans lequel les moyens de couplage (41) comprennent un coupleur par réflexion.

10. Dispositif selon la revendication 8, dans lequel les moyens de couplage (41) comprennent un coupleur par diffraction.

5 11. Dispositif selon la revendication 1 dans lequel la seconde couche comprend au moins un élément optique actif et les moyens de connexion sont des moyens électriques entre cet élément et la première couche.

10

12. Dispositif selon la revendication 1 comportant des entrées/sorties optiques.

13. Procédé de réalisation d'un dispositif.  
15 électronique monolithique multicouches, caractérisé en ce qu'il comporte les étapes suivantes :

- réalisation d'au moins un guide optique dans une première couche (10, 11, 12, 13),
- assemblage du substrat en silicium ainsi  
20 recouvert avec une seconde couche (14),
- réalisation des composants électroniques dans la seconde couche.

14. Procédé selon la revendication 13, dans  
25 lequel l'assemblage est réalisé par adhésion moléculaire.

15. Procédé selon la revendication 13, qui comporte en outre une étape de fabrication d'au moins  
30 un élément optique actif et/ou des moyens de couplage optique dans la première couche.

16. Procédé selon la revendication 13, qui comporte en outre une étape de fabrication d'au moins un élément optique actif dans la seconde couche (14).

5

17. Procédé selon la revendication 13, dans lequel la zone à fort indice du guide optique est obtenue par gravure.

10

18. Procédé selon la revendication 13, dans lequel la zone à faible indice du guide optique est obtenue par oxydation ou par nitruration.

19. Procédé selon la revendication 13, dans lequel l'écart des indices optiques du guide optique est obtenu par dopage.

20. Procédé selon la revendication 13, dans lequel on reporte au moins un élément optique actif (91) dans une cavité d'accueil (92).

20

21. Procédé selon la revendication 13, dans lequel les couches sont des couches SOI reportées sur un substrat en silicium.

25



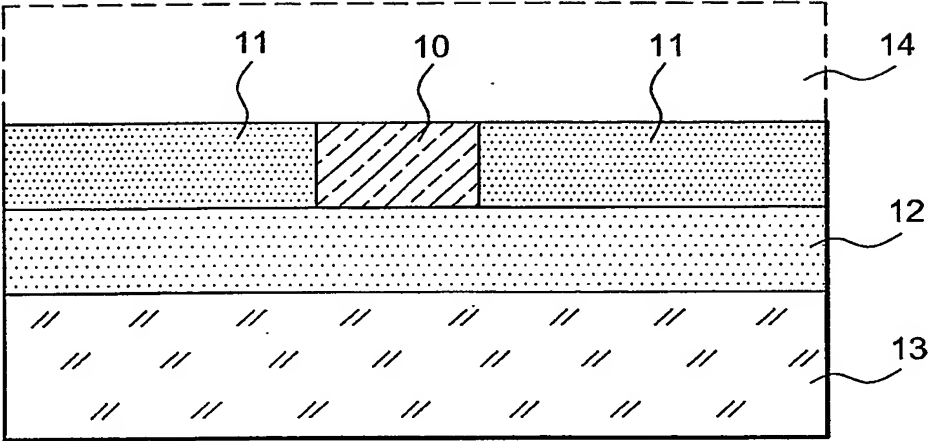


FIG. 1

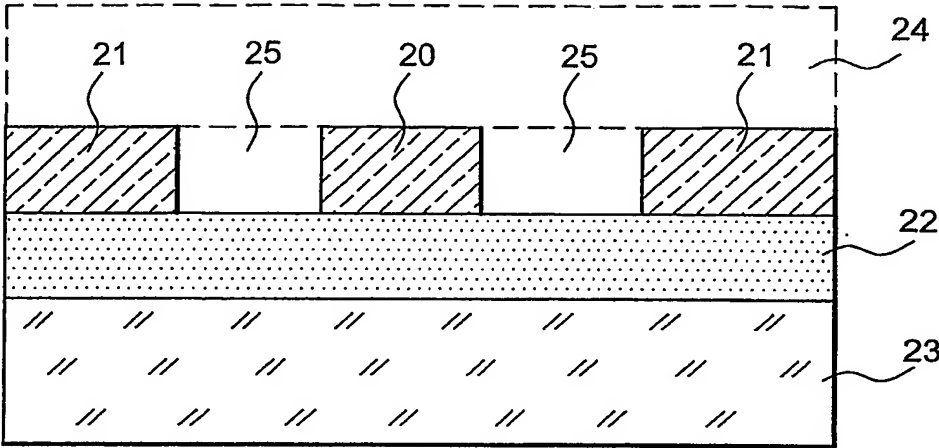


FIG. 2

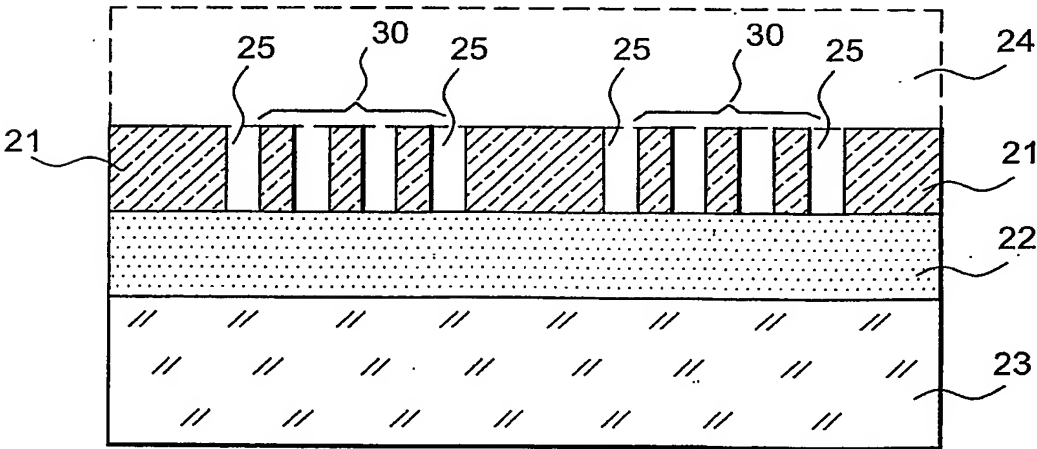


FIG. 3

3 / 6

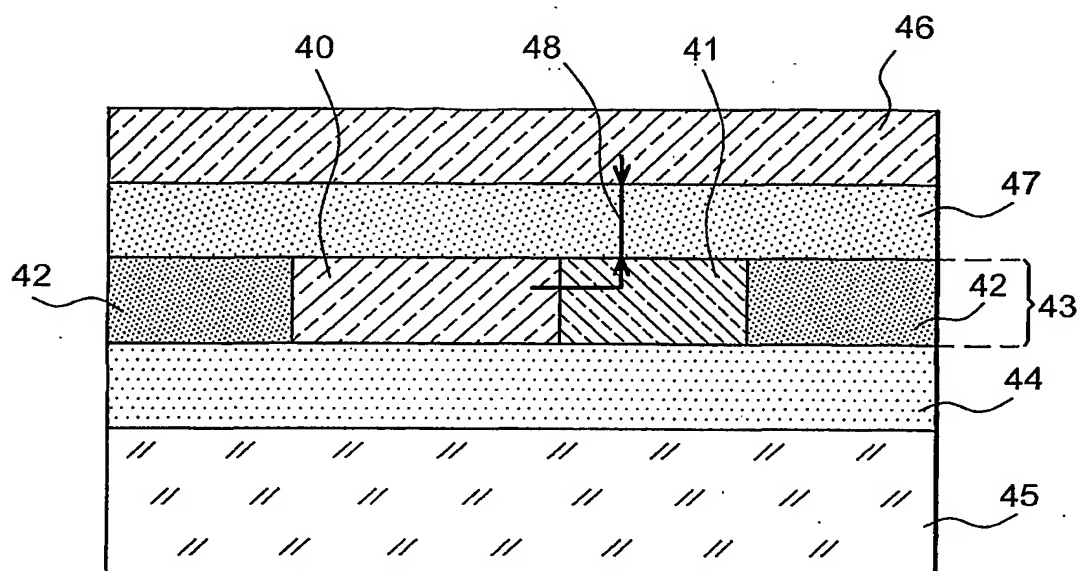


FIG. 4

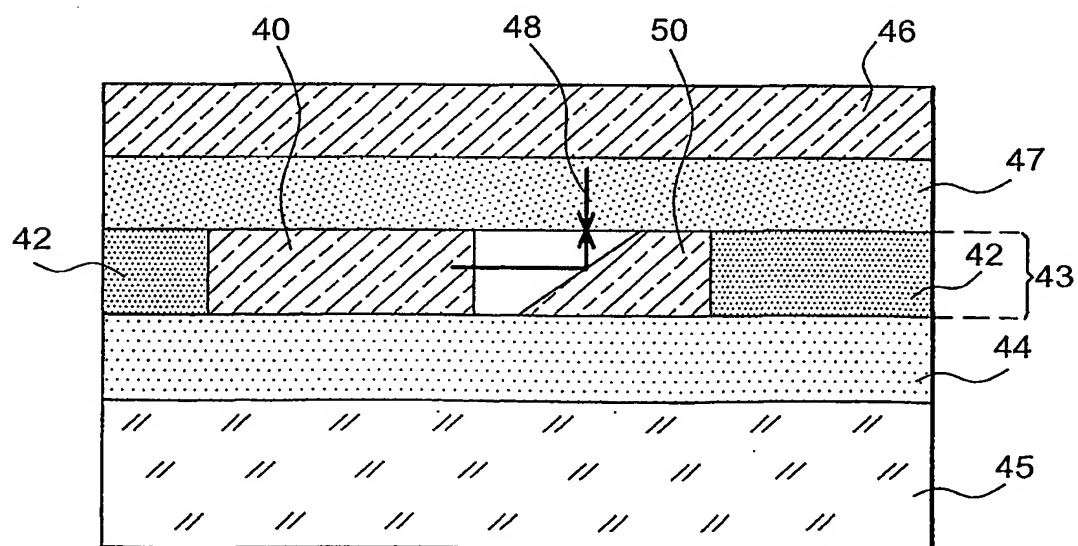


FIG. 5

4 / 6

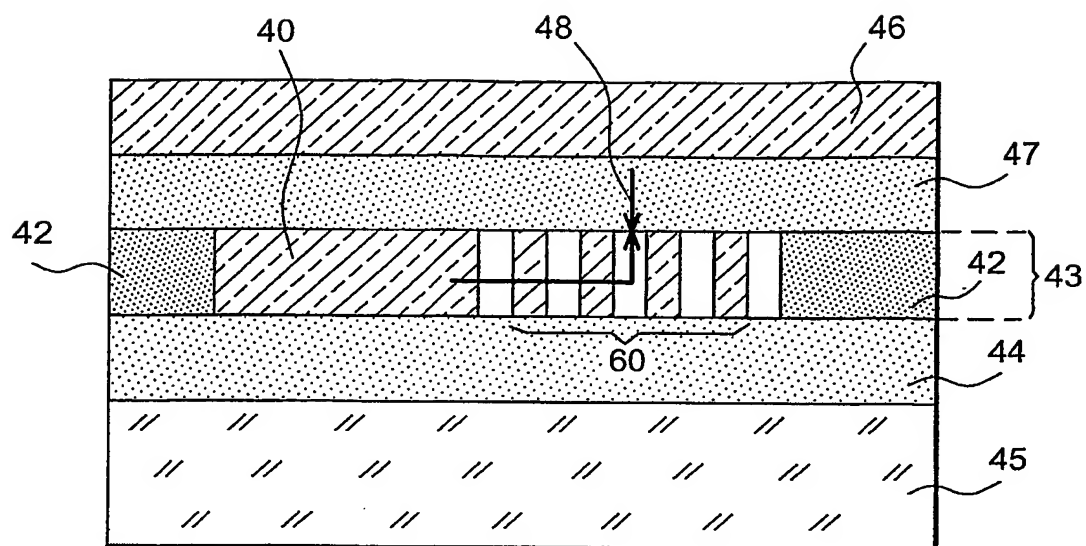


FIG. 6

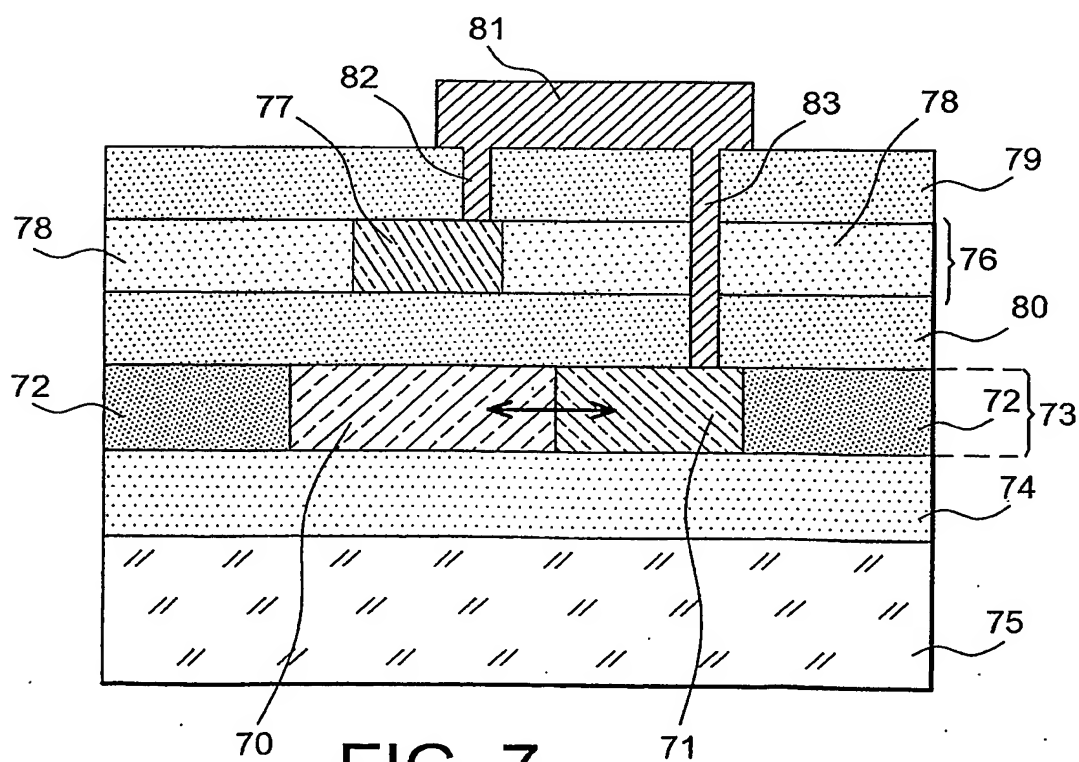


FIG. 7

5 / 6

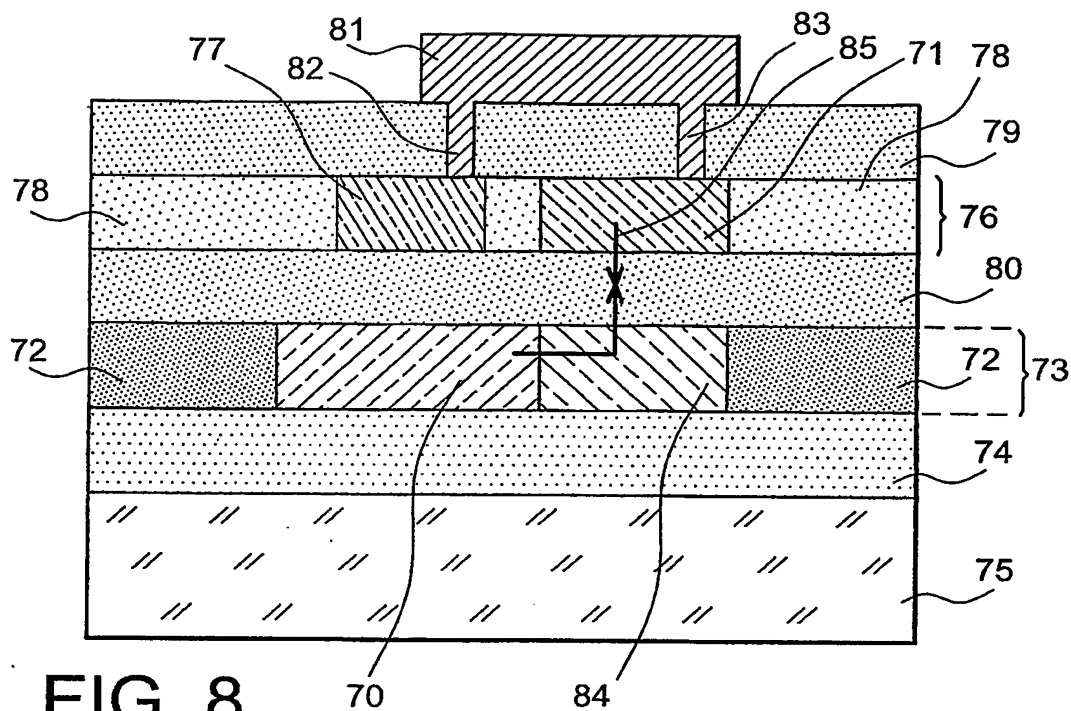


FIG. 8

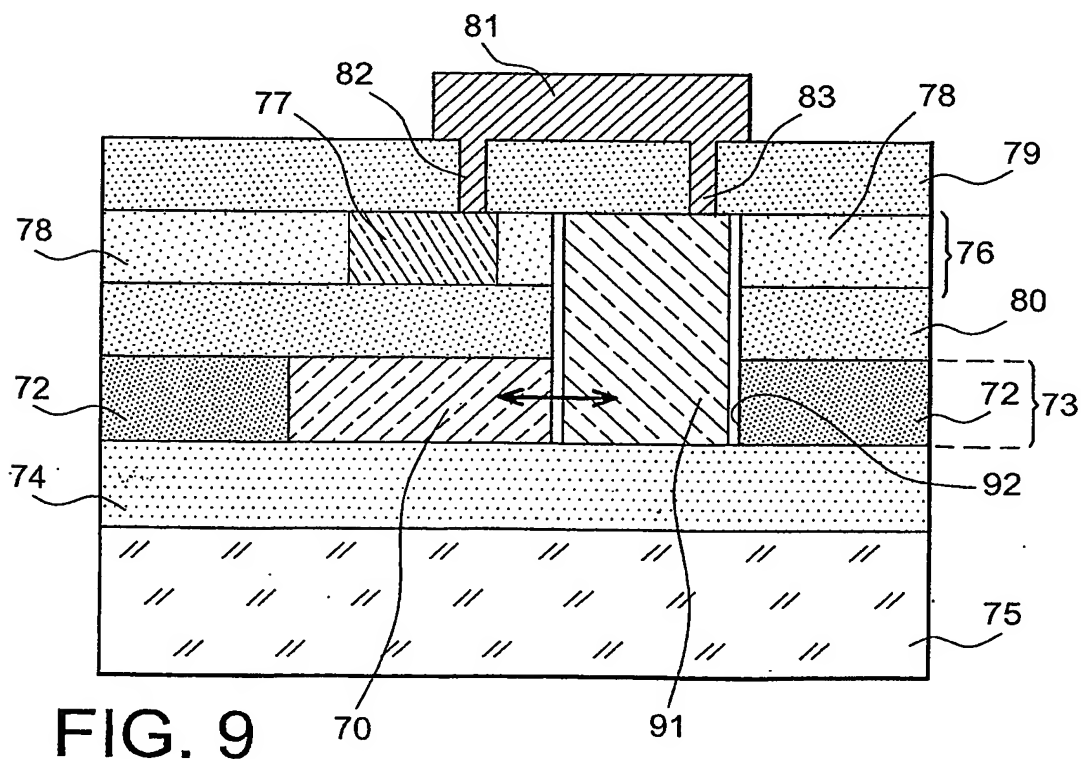
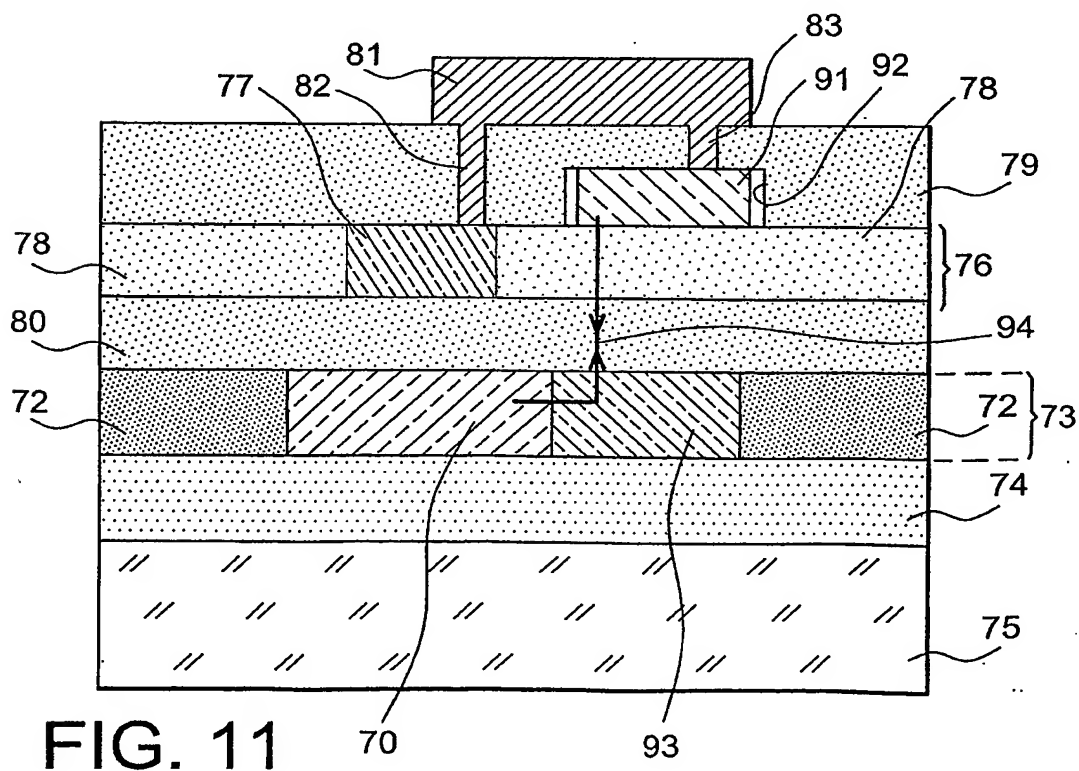
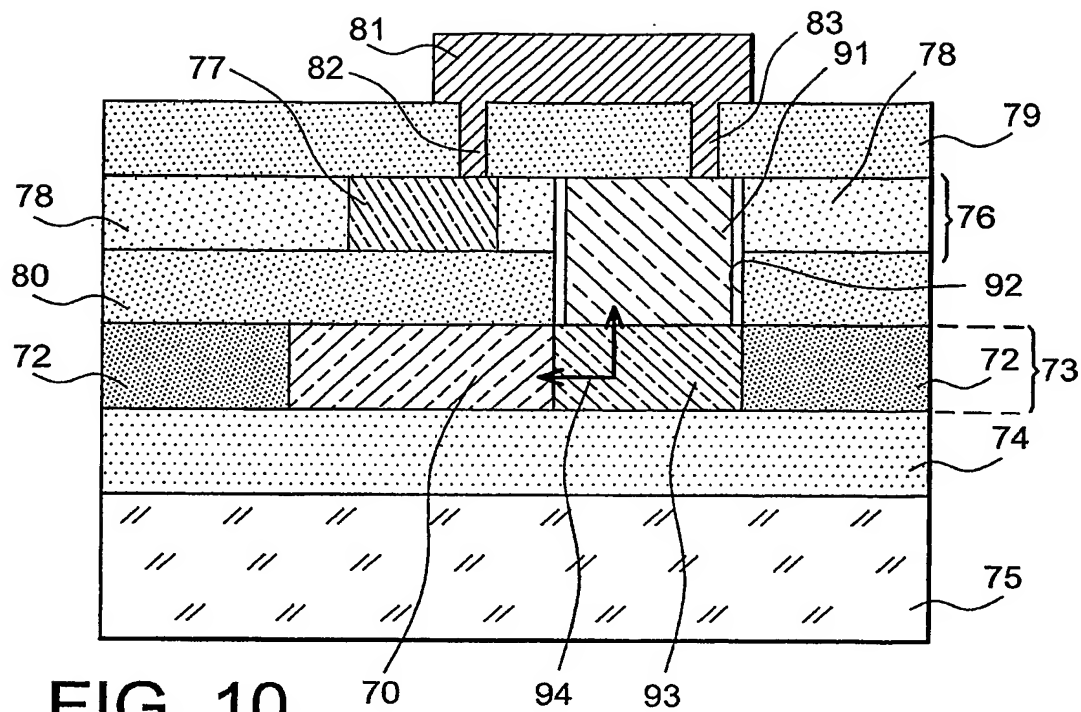


FIG. 9

6 / 6



(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
22 mai 2003 (22.05.2003)

PCT

(10) Numéro de publication internationale  
**WO 2003/042741 A3**

(51) Classification internationale des brevets<sup>7</sup> : G02B 6/42,  
6/43

(21) Numéro de la demande internationale :  
PCT/FR2002/003880

(22) Date de dépôt international :  
13 novembre 2002 (13.11.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :  
01/14784 15 novembre 2001 (15.11.2001) FR

(71) Déposant (pour tous les États désignés sauf US) : COM-  
MISSARIAT À L'ÉNERGIE ATOMIQUE [FR/FR];  
31/33, rue de la Fédération, F-75752 PARIS (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) :  
BELLEVILLE, Marc [FR/FR]; 12, rue de Chante-  
merle, F-38120 Saint-Egrève (FR). HADJI, Emmanuel  
[FR/FR]; 9, impasse des Primevères, F-38600 Fontaine  
(FR). ASPAR, Bernard [FR/FR]; 110, Lot. du Hameau  
des Ayes, F-38140 Rives (FR).

(74) Mandataire : LEHU, Jean; c/o Brevatome, 3, rue du Doc-  
teur Lancereaux, F-75008 Paris (FR).

(81) État désigné (national) : US.

(84) États désignés (régional) : brevet européen (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU,  
MC, NL, PT, SE, SK, TR).

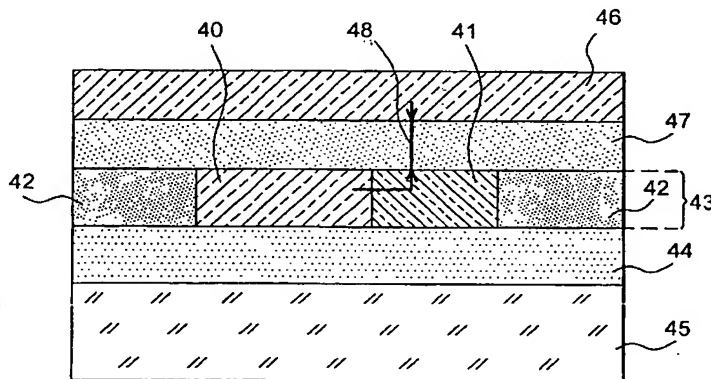
Publiée :

— avec rapport de recherche internationale

[Suite sur la page suivante]

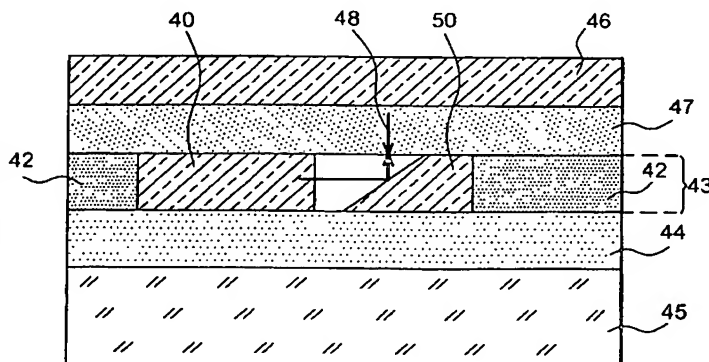
(54) Title: MULTILAYER MONOLITHIC ELECTRONIC DEVICE AND METHOD FOR MAKING SAME

(54) Titre : DISPOSITIF ÉLECTRONIQUE MONOLITHIQUES ET PROCÉDE DE RÉALISATION D'UN TEL DISPOSITIF



(57) Abstract: The invention concerns a multi-layer monolithic electronic device comprising at least a first layer (46) for carrying an electrical information arranged above at least a second layer (43) for carrying an optical information and electrical and/or optical connecting means.

(57) Abrégé : L'invention concerne un dispositif électronique monolithique multicouche comprenant au moins une première couche (46) apte à véhiculer une information sous forme électrique disposée au-dessus d'au moins une seconde couche (43) apte à véhiculer une information sous forme optique et des moyens de connexion électriques et/ou optiques.



WO 2003/042741 A3



(88) Date de publication du rapport de recherche  
internationale:

22 janvier 2004

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*